

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332296

(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01L 33/00
G30B 29/48
H01L 21/363

(21)Application number : 11-142059

(71)Applicant : STANLEY ELECTRIC CO LTD
YAO TAKAFUMI

(22)Date of filing : 21.05.1999

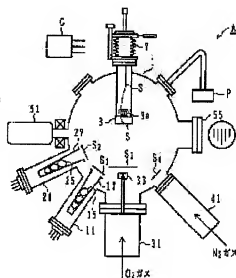
(72)Inventor : SANO MICHIMIRO
YAO TAKAFUMI

(54) P-TYPE II-VI COMPOUND SEMICONDUCTOR CRYSTAL, ITS GROWING METHOD, AND SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To grow p-type ZnO of superior crystallinity and small electric resistance by a method wherein, on a substrate, a ZnO layer not doped with impurity up to a desirable concentration and a ZnTe layer doped with N at a desirable concentration or over as a p-type impurity are alternately laminated in a plurality of layers.

SOLUTION: A crystal growing MBE device A using a molecular beam epitaxy method of a II-VI compound semiconductor contains a chamber 1 for a crystal growing, and a vacuum pump P for holding the chamber 1 in a super-high vacuum state. In the chamber 1, there are provided a substrate holder 3 for holding a substrate S as an underlayer for the crystal growing, and a heater 3a for heating the substrate holder 3. The chamber 1 contains a RHEED gun 51 and a RHEED screen 55 which are provided for monitoring a grown crystal layer. By use of the RHEED gun 51 and the RHEED screen 55, the circumstances of the crystal growing within the MBE device A are monitored, while the growth can be made.



(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-332296

(P2000-332296A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl. ⁷	識別部号	F I	チーコード ⁸ (参考)
H 0 1 L 33/00		H 0 1 L 33/00	D 4 G 0 7 7
C 3 0 B 29/48		C 3 0 B 29/48	5 F 0 4 1
H 0 1 L 21/363		H 0 1 L 21/363	5 F 1 0 3

審査請求 有 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平11-142059

(22) 出願日 平成11年5月21日 (1999. 5. 21)

(71) 出願人 000002303

スタンレー電気株式会社

東京都品川区中目黒2丁目9番13号

(71) 出願人 504020031

八百 隆文

宮城県仙台市青葉区片平二丁目1番1号

東北大学金属材料研究所内

(72) 発明者 佐野 道宏

神奈川県横浜市中区青葉区窪田西1-3-1

スタンレー電気株式会社技術研究所内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

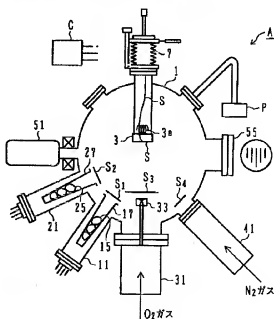
最終頁に続く

(54) 【発明の名称】 p型II-VI族化合物半導体結晶、その成長方法及びそれを用いた半導体装置

(57) 【要約】

【課題】 p型のII-VI族化合物半導体結晶の成長方法を提供する。

【解決手段】 ZnO基板100上に、所望濃度までは不純物ドーピングされていないZnO層101a~101zと、p型不純物であるNが所望濃度以上にドーピングされたZnTe層103a~103yとを交互に複数層積層する工程を含む。



【特許請求の範囲】

【請求項1】 基板上に、所望温度までは不純物ドーピングされていないZnO層と、p型不純物であるNが所望濃度以上にドーピングされたZnTe層とを交互に複数層積層する工程を含むp型II-V族化合物半導体結晶の成長方法。

【請求項2】 前記ZnTe層は、一層の厚さが境界膜厚以下である請求項1または2に記載のp型II-V族化合物半導体結晶層の成長方法。

【請求項3】 前記ZnO層は、一層の厚さが2分子層以上である請求項1または2に記載のp型II-V族化合物半導体結晶の成長方法。

【請求項4】 (a) 基板上に、Zn元素とO元素とを供給する工程と、

(b) 前記工程(a)の後、O元素の供給を停止する工程と、

(c) 前記工程(b)の後、Zn元素の供給を停止して基板上からZn元素のうち過剰な元素を脱離させる工程と、

(d) 前記工程(c)の後、さらにTe元素とN元素とを供給する工程と、

(e) 前記工程(d)の後、基板上へのTe元素とN元素との供給を停止して基板上の結晶成長を中断する工程を含むp型II-V族化合物半導体結晶の成長方法。

【請求項5】 さらに、(f) 前記工程(e)の後、基板上にZn元素を供給する工程と、

(g) 前記工程(f)の後、基板上にO元素を供給する工程を含む請求項4記載のp型II-V族化合物半導体結晶層の成長方法。

【請求項6】 基板上にZn元素を供給している状態で、

(a) O元素を供給して所望温度までは不純物ドーピングされていないZnO層を成長する工程と、

(b) 前記工程(a)の後、O元素の供給を停止する工程と、

(c) 前記工程(b)の後、Te元素とN元素とを供給してNがドーピングされたZnTe層を成長する工程を含むp型II-V族化合物半導体結晶層の成長方法。

【請求項7】 基板上に、ZnO層とZnTe層とが交互に積層された積層構造であって、少なくとも前記ZnTe層にはNがドーピングされているp型II-V族化合物半導体結晶。

【請求項8】 前記ZnO層には、前記ZnTe層にドーピングされているN濃度よりも低い濃度のNがドーピングされている請求項7記載のp型II-V族化合物半導体結晶。

【請求項9】 さらに前記積層構造と、前記基板との間に低温成長されたZnO層を含む請求項7または8に記

載のp型II-V族化合物半導体結晶。

【請求項10】 請求項7から9までのいずれかに記載のp型II-V族化合物半導体結晶とn型II-V族化合物半導体結晶とのp-n接合構造を有するII-V族化合物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、p型II-V族化合物半導体結晶、その成長方法及びそれを用いた半導体装置に関するものである。

【0002】

【従来の技術】元素半導体(Si、Ge)およびGaAsのようなII-V族半導体の大部分は、ドナー不純物又はアクセプター不純物を添加することにより、n型又はp型の半導体を形成することができる。

【0003】n型及びp型の両方の半導体を形成することが可能な性質を両極性と呼ぶ。II-V族半導体を用いることにより、同一基板上にp型半導体とn型半導体とを形成することができる。II-V族半導体を用いて、p-n接合を含むLED(Light Emitting Diode)等の半導体素子を製造することができる。

【0004】

【発明が解決しようとする課題】禁制帯幅(バンドギャップ: Eg)は、結晶に固有の値である。

【0005】一般的には、発光波長λは、次に示す式で表される。

【0006】 $\lambda = 1240 / E_g$

ここで、λは発光波長(nm)、Egは半導体の禁制帯幅(eV)である。

【0007】Egの値が、結晶からのバンド間発光の波長、すなわち発光色を決める。II-V族半導体のうち、比較的に広いEgを有するGaAsでは、その禁制帯幅Egは、1.43 eVである。GaAsの発光波長は、870 nmであり、赤外領域の発光を示す。II-V族半導体のうち、比較的に広いEgを有するAlPでは、Egは、2.43 eVである。AlPの発光波長は、510 nmであり、緑色の発光を示す。

【0008】大部分のII-V族半導体は、II-V族半導体と比較してEgが大きい。青色から青紫色、紫外領域の発光が期待される。

【0009】II-V族化合物は、一般的にイオン性が強く、単極性である。すなわち、II-V族化合物の結晶は、一般的に、n型又はp型のいずれか一方の導電性しか持たず、両方の導電特性を持つことが少ない。

【0010】このような単極性の振る舞いは、自己補償効果によって説明することができる。

【0011】例えば、II-V族化合物の結晶であるZnSにおいては、寸法の小さいS陰イオン空孔は、寸法の大きいZn陽イオン空孔よりも結合エネルギーが小

さい。Zn陽イオン空孔がp型不純物を補償する効果が大きく、p型のZnSを得ることは困難である。自己補償効果は、II-VI族化合物の種類によって異なるが、p型のZnOが得にくいという現象に関しても、上記のZnSの場合と同様に説明することが可能である。p型のZnO結晶を容易に得ることができれば、ZnOを用いた種々の半導体デバイスを作製することができると。

【0012】本発明の目的は、p型のII-VI族化合物半導体結晶、より詳細にはp型ZnO結晶の成長方法を提供することである。

【0013】本発明の他の目的は、II-VI族化合物半導体結晶、より詳細にはp型ZnO結晶及びそれを用いた素子を提供することである。

【0014】なお、ZnOを主要構成要素とし、ZnTeを添加構成要素として含む材料も、本明細書においてZnOと略記する。

【0015】

【課題を解決するための手段】本発明の一観点によれば、基板上に、所望温度までは不純物ドーピングされていないZnO層と、p型不純物であるNが所望温度以上にドーピングされたZnTe層とを交互に複数層積層する工程を含むp型II-VI族化合物半導体結晶の成長方法が提供される。

【0016】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。

【0017】図1から図3までを参照して、本発明の第一の実施の形態によるII-VI族化合物半導体結晶の成長方法を説明する。

【0018】図1にII-VI族化合物半導体結晶の成長装置の一例として、分子線エビタキシー(MBE)法を用いた結晶成長装置(以下「MBE装置」という。)を示す。

【0019】MBE装置Aは、結晶成長が行われるチャンバ1と、チャンバ1を超高真空状態に保つ真空ポンプPとを含む。

【0020】チャンバ1は、Znを蒸発させるためのZn用ポート11と、Teを蒸発させるためのTe用ポート21と、Oラジカルを照射するためのOラジカルポート31と、Nラジカルを照射するためのNラジカルポート41とを含む。

【0021】Zn用ポート11は、Zn(純度7N)原料15を収容するとともに加熱・蒸発させるクヌーセンセル(Knudsen cell: 以下Kセルと呼ぶ。)17とシャッターS₁とを備えている。

【0022】Te用ポート21は、Te(純度6N)原料25を収容するとともに加熱・蒸発させるKセル27とシャッターS₂とを備えている。

【0023】Oラジカルポート31は、無電極放電管に

に原料ガスである酸素ガスを導入し、高周波(13.56MHz)を用いて生成したOラジカルを、MBEチャンバ1内に噴出する。Oラジカルをのビームに対してもシャッターS₃が設けられている。

【0024】Nラジカルポート41は、無電極放電管に原料ガスである窒素ガスを導入し、高周波(13.56MHz)を用いて生成したNラジカルを、MBEチャンバ1内に噴出する。Nラジカルをのビームに対してもシャッターS₄が設けられている。

【0025】チャンバ1内には、結晶成長の地下となる基板Sを保持する基板ホルダー3と、基板ホルダー3を加熱するためのヒータ3aとが設けられている。基板Sの温度は熱電対5によって測定可能である。基板ホルダー3の位置は、ペロウスを用いたマニピュレータ7によって移動可能である。

【0026】チャンバ1は、成長した結晶層をモニタリングするために設けられた、RHEEDガン51とRHEEDスクリーン55とを含む。RHEEDガン51とRHEEDスクリーン55とを用いて、MBE装置A内での結晶成長の様子(成長量、成長した結晶層の質)をモニタリングしながら成長を行うことができる。

【0027】結晶成長の温度、結晶成長膜の厚さ、チャンバ内の真空度等は、制御装置Cによって適宜制御される。

【0028】以下に、ZnO基板上に、p型のZnOを成長する工程について、詳細に説明する。

【0029】結晶成長は全てMBE法により行う。

【0030】Znのビーム量は、 1.5×10^{-7} Torrであり、Teのビーム量は 4.5×10^{-7} Torrである。

【0031】酸素ビームの供給源としては、OのRFプラズマソースが用いられる。Oラジカルポート31に純酸素(純度6N)ガスを導入し、高周波発振源を用いてラジカル化する。

【0032】窒素ビームの供給源としては、NのRFプラズマソースが用いられる。Nラジカルポート41に純窒素(純度6N)ガスを導入し、高周波発振源を用いてラジカル化する。

【0033】ガスソースである酸素、窒素のポート31, 41内の圧力は、各々、酸素(流量2ccm)が 8×10^{-6} Torr、窒素(流量0.03ccm)が 2×10^{-6} Torrである。成長温度は600℃である。

【0034】ここで、上記の圧力の値は、基板ホルダー位置(成長位置)に取り付けたメドイオンゲージの指示値を示したものである。

【0035】また、上記のガスソースの流量としては、ccmの単位を用いたが、これは、周知のように25℃、1気圧での流量を示したものである。

【0036】図2に、本実施の形態により成長されるp型ZnO結晶の断面図を示す。ZnO基板100上に、

アンドープのZnO層とNドーパのZnTe層との超格子層105を成長する。

【0037】超格子層105は、ZnO層101a、101b、 \cdots 101zと、ZnTe層103a、103b、 \cdots 103zとの交互積層で形成される。ZnO層101a、101b、 \cdots 101zの各々は、たとえば10分子層であり、ZnTe層103a、103b、 \cdots 103zの各々は、たとえば1分子層である。なお、ZnO基板100上に、まずZnOバッファ層を形成し、その上に超格子層105を成長してもよい。超格子層105の総厚は、たとえば100nm程度である。

【0038】図3は、図2に示したZnO結晶を成長するための2通りの成長プロセス（(a)及び(b)）を、シャッター S_1 から S_4 の開閉シーケンスにより示したものである。

【0039】図3(a)は、2通りのうちの第1の成長プロセスを示すものである。時間 t_1 に、Znのシャッター S_1 とOのシャッター S_3 を開く。Zn元素とO元素とが基板100表面上に飛来し、ZnO結晶層が成長する。Zn供給量、O供給量等の成長パラメータを制御することによりZnO結晶が分子層単位で成長する。

【0040】なお、本明細書で1分子層とは、Znの1原子層とOの1原子層とで構成される結晶単位を意味する。10分子層の結晶が成長するまでシャッター S_1 、 S_3 を開く。

【0041】時間 t_2 においてOのシャッター S_3 を閉じて、時間 t_3 までの間、Znのみを供給する。Zn供給の結果、アンドープのZnO層101a最表面にZnの終端面が形成される。過剰のZnを脱離するために、 t_3 から t_4 までの間、全てのシャッターを閉じる。時間 t_4 において、Teのシャッター S_2 とNのシャッター S_4 を開いて、Znの終端面上にTeとNとを供給する。Zn終端面とTe、Nが結合することにより、NがドーピングされたZnTe層が1分子層成長する。

【0042】尚、時刻 t_4 で、ZnTe層のRHEEDパターンは、 (2×1) であるTeリッチの状態を示す。

【0043】 t_5 から t_6 までの間、全てのシャッターを閉じ、余分の原子を脱離、排気する。その後、再びZnのシャッター S_1 を開け、ZnTeの終端面の修正を行う。Teリッチになっている表面を、Znリッチの表面に変える。これにより、表面のモロロジー及び極性の改善を行う。

【0044】次に、Oのシャッター S_3 を開にして(t_7)、再び、ZnOを成長する。この状態は、時刻 t_7 の状態と同等である。以上の工程を30回繰り返す。

【0045】以上の工程を経ることにより、図2に示すp型ZnO結晶が成長できる。

【0046】図3(b)には、第二の成長プロセスを示す。成長プロセスの概略を以下に示す。

【0047】Znのシャッター S_1 を開き、基板上にZn元素を継続的に供給した状態にする。時間 t_2 でOのシャッター S_3 を開き、O元素を供給して所望濃度までは不純物ドーピングされていないZnO元素を成長する。

【0048】次いで、時間 t_3 でOのシャッター S_3 を閉じてO元素の供給を停止した後、時間 t_4 でTeのシャッター S_2 とNのシャッター S_4 を開き、Te元素とN元素とを供給してNがドーピングされたZnTe層を成長する。

【0049】時間 t_5 から t_6 までの間、シャッター S_3 と S_4 を閉じ、ZnTeの終端面の修正を行う。

【0050】次に、Oのシャッター S_3 を開にして(t_7)、再び、ZnOを成長する。この状態は、時刻 t_1 の状態と同等である。以上の工程を30回繰り返す。

【0051】尚、上記の工程と同じく、ZnOバッファ層101を設ける場合には、予め基板100上にZnとOとを供給し、所望厚のZnO層を成長した後、上記のプロセスを行う。

【0052】以上の2工程のいずれかを経た後には、ZnOが10分子層に対してZnTeが1分子層の割合で積層される。積層された超格子層のバンドギャップはZnOとほぼ同じである。ZnTeは、Nを不純物としてドーピングすることでp型の導電性を示す。NドーパのZnTe層からZnO層へのNの不純物拡散およびホール移動がZnO層10分子層にわたって生じる。

【0053】このようにして成長したZnO/ZnTe超格子層は、全体としてp型の導電層としての性質を示す。

【0054】ZnTeの厚さは1分子層にとどめた。臨界膜厚以下の厚さであり、成長層中で発生する歪を小さく抑えることができる。成長層の表面モロロジーを良好にすることができる。

【0055】ZnTeへのNの流量を、上記の成長条件において0.05ccm以下にする。ZnTe中のNのドーピング量は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下に抑えられる。

【0056】好ましくは、拡散等によりZnOにドーピングされているN濃度は、ZnTeにドーピングされているNのドーピング濃度よりも低く抑えられる。

【0057】図4に、本発明の第二の実施の形態によるZnO/ZnTe超格子を用いたp型半導体の断面構造を示す。

【0058】サファイア基板201の上に300℃から500℃の範囲、例えば400℃の低温でZnO層211を厚さ30から100nmの間、例えば、50nm成長する。この低温成長されたZnO層211は当初はば

アモルファス状態である。その後、基板を徐々に加熱する。加熱により結晶化が進行し、低温成長ZnO層がエピタキシャルZnO層に変化する。

【0059】ここで、第一の実施の形態において説明した成長方法と同様の成長方法で、ZnOとZnTe(N)との超格子層225を総厚として100nm成長する。

【0060】図4に示す結晶構造においては、サファイヤ基板201上に低温成長ZnO層211を介してZnO層201a、201b、...201zとZnTe(N)層203a、203b、...203yとの交互積層で形成された超格子層225を成長している。

【0061】サファイヤ基板201と超格子層225との間に、低温成長ZnO層211が介在するため、サファイヤ基板201と超格子層225との間の格子定数の差に起因する歪の影響が緩和される。表面モロロジーが良好となる。

【0062】上述のI-VI族化合物成長方法によれば、結晶性が良好で電気的抵抗の小さいp型ZnO結晶を成長することができる。

【0063】図5は、上記第二の実施の形態によるZnO/NドープのZnTeからなる超格子をp型半導体として用い、GaドープのZnOをn型半導体として用いたp-n接合ダイオードを含むLED(Light Emitting Diode)の構造を示す断面図である。

【0064】図5に示すように、LEDは、サファイヤ基板301と、その上に低温成長された厚さ100nmのノンドープのZnOバッファ層305と、その上に成長され厚さ100nmのn型(Gaドープ: $1 \times 10^{18} \text{ cm}^{-3}$) ZnO層311と、その上に形成された30層のZnOとZnTe(N)とが交互に積層された超格子層315(総厚として約100nm)とを含む。

【0065】n型ZnO層311は、第1電極321とコンタクトされている。

【0066】n型ZnO層を形成するためには、Gaの代わりにAlなどの他の3族元素をドーピングしても良い。

【0067】超格子層315は島状に加工されている。島状に加工された超格子層315は、例えばSiNからなる絶縁膜318によりその外側部が被覆される。絶縁膜318のうち超格子層315の上部表面には、例えば略円形の開口が形成される。島状に加工された超格子層315のうち少なくともその側面が絶縁膜318により被覆保護される。

【0068】超格子層315の周辺部には、開口を有する例えばリング状の第2電極325が形成される。リング状の第2電極は、その内周側の下面が超格子層315の上部表面の周辺部と接触する。第2電極のうちその外周部は、絶縁膜318上に乗り上げた構造となっている。

る。

【0069】上記構造において、第1電極321に対し第2電極にプラスの電圧を印加すると、p-n接合に順方向電流が流れる。p型超格子層315中に注入された少数キャリア(電子)とp型超格子層315中の多数キャリア(正孔)とが発光性再結合する。電子と正孔との再結合の際に、はば禁制帯のエネルギーギャップに等しいエネルギーを有する光が前記開口から発する。すなわち、電気的エネルギーを光のエネルギーに変換する。

【0070】上記の動作により、LEDの開口から例えば約370nmの波長の光を発する。

【0071】尚、本実施の形態においては、ZnOとZnTe(N)とのp型超格子層315とn型ZnOとのp-n接合を利用した半導体素子の例としてLEDについて説明したが、p型超格子層315とn型ZnOとを組み合わせてレーザー素子も形成することも可能である。その他、p型超格子層315と組み合わせ、FETやバイポーラトランジスタ等の電子デバイスや、他の光デバイス及びこれらと組み合わせ半導体装置を製造することも可能であることは言うまでもない。

【0072】以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、超格子層の構成層の厚さは所望の特性を満足する範囲で任意に変更することができる。ガス供給シーケンスも上述のものに制限されない。成長条件その他のプロセスパラメータも種々選択することができる。その他、種々の変更、改良、組み合わせ等が可能なのは当業者には自明であろう。

【0073】
【発明の効果】結晶性が良好で電気的抵抗の小さいp型ZnOを成長することができる。

【図面の簡単な説明】

【図1】 本発明の第一の実施の形態による結晶成長方法に用いるMBE装置の概略を示す断面図である。

【図2】 本発明の第一の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子構造を示す。

【図3】 (a)及び(b)は、本発明の第一の実施の形態による結晶成長方法のシャッター制御シーケンスを示すタイミングチャートである。

【図4】 本発明の第二の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子の構造を示す断面図である。

【図5】 本発明の第二の実施の形態による結晶成長方法により成長されたZnO/NドープのZnTe超格子をp型半導体として用いたp-n接合ダイオードを含むLED装置の構造を示す断面図である。

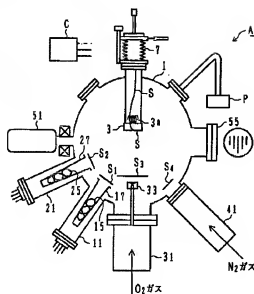
【符号の説明】

A MBE装置
P 真空ボンブ

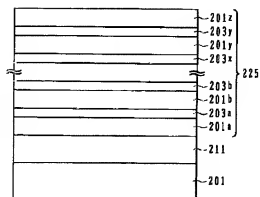
S 基板
 $S_1 \sim S_4$ シャッター
 1 チャンバ
 3 基板ホルダー
 3a ヒータ
 5 熱電対
 7 マニピュレータ
 11 Zn用ボート
 15 Zn原料
 17 クヌーセンセル
 21 Te用ボート
 25 Te原料
 31 オラジカルボート
 41 Nラジカルボート
 100 ZnO基板

101a~101z ZnO層
 103a~103y ZnTe層
 105 超格子層
 201 サファイヤ層
 211 低温成長ZnO層
 201a~201z ZnO層
 203a~203y ZnTe層
 225 超格子層
 301 サファイヤ層
 305 低温成長ZnO層
 311 n型ZnO層
 315 超格子層
 318 絶縁膜
 321 第1電極
 325 第2電極

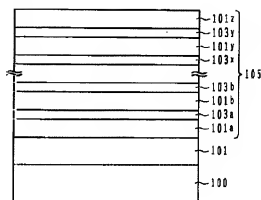
【図1】



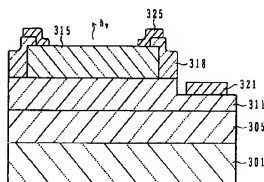
【図4】



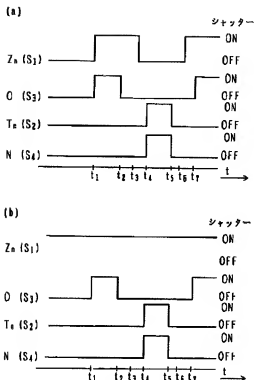
【図2】



【図5】



【図3】



【手続補正書】

【提出日】平成12年4月17日(2000.4.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】 Zn のシャッター S_1 を開き、基板上に Zn 元素を継続的に供給した状態にする。時間 t_1 で O のシャッター S_3 を開き、 O 元素を供給して所望濃度までは不純物ドーピングされていない ZnO 元素を成長する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】次いで、時間 t_2 で O のシャッター S_3 を閉じて O 元素の供給を停止した後、時間 t_4 で Te のシャッター S_2 と N のシャッター S_4 を開き、 Te 元素と N 元素とを供給して N がドーピングされた $ZnTe$ 層を成長する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】時間 t_6 から t_7 までの間、シャッター S_2 、 S_3 および S_4 を閉じ、 $ZnTe$ の終端面の修正を行う。

フロントページの続き

(72)発明者 八百 隆文

宮城県仙台市青葉区片平二丁目1番1号

東北大学 金属材料研究所内

!(8) 000-332296 (P2000-332296A)

Fターム(参考) 4G077 AA03 BB07 BE35 DA05 EB01
EB03 ED06 EF04 HA06
5F041 AA31 CA05 CM1 CM6 CM9
CA55 CA57 CA66
5F103 AA04 DD30 HH04 JJ01 KK10
LL02 LL16 NN03

JP 2000-332296 machine translation

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the semiconductor device which used p type II-VI group compound semiconductor crystals, its growing method, and it.

[0002]

[Description of the Prior Art]Most of element semiconductors (Si, germanium) and III-V fellows semiconductors like GaAs can form the semiconductor of a n type or a p type by adding donor impurities or acceptor impurity.

[0003]The character which can form the semiconductor of both of a n type and a p type is called amphipathy. By using an III-V fellows semiconductor, a p-type semiconductor and an n-type semiconductor can be formed on the same board. Semiconductor devices, such as LED (LightEmitting Diode) including p-n junction, can be manufactured using an III-V fellows semiconductor.

[0004]

[Problem(s) to be Solved by the Invention]Forbidden-band width (band gap: E_g) is a value peculiar to a crystal.

[0005]Generally, the luminous wavelength λ is expressed with the formula shown below.

[0006] $\lambda = 1240/E_g$ -- here, λ is a luminous wavelength (nm) and E_g is the forbidden-band width (eV) of a semiconductor.

[0007]The value of E_g determines the wavelength of luminescence between bands from a crystal, i.e., the luminescent color. In GaAs which has comparatively narrow E_g among III-V fellows semiconductors, the forbidden-band width E_g is 1.43 eV. The luminous wavelength of GaAs is 870 nm and shows luminescence of an infrared region. In AlP which has comparatively large E_g among III-V fellows semiconductors, E_g is 2.43 eV. The luminous wavelength of AlP is 510 nm and shows green luminescence.

[0008]Most II-VI group semiconductors have large E_g as compared with an III-V fellows semiconductor. Luminescence of a blue-purple color and an ultraviolet region is expected from blue.

[0009]II-VI group compound generally has strong ionicity, and is unipolarity. That is, the crystal of II-VI group compound has having only one of the conductivity of a n type or a p type, but having [little] both electric conduction characteristics generally.

[0010]A self-compensation effect can explain behavior of such unipolarity.

[0011]For example, in ZnS which is a crystal of II-VI group compound, S negative ion hole with a small size has binding energy smaller than Zn positive ion hole with a large size. The effect that Zn positive ion hole compensates a p type impurity is large, and it is difficult to obtain p type ZnS. Although a self-compensation effect changes with kinds of II-VI group compound, it can be similarly explained as the case of above ZnS by p type ZnO about the phenomenon of a stake for obtaining. If a p type ZnO crystal can be obtained easily, various semiconductor devices using ZnO are producible.

[0012]The purposes of this invention are p type II-VI group compound semiconductor crystals and to provide details with the p type ZnO crystal growth method more.

[0013]Other purposes of this invention are to provide II-VI group compound semiconductor crystals and the element which used a p type ZnO crystal and it for details more.

[0014]ZnO is used as the main components and the material which contains ZnTe as an addition component is also written as ZnO in this specification.

[0015]

[Means for Solving the Problem]According to one viewpoint of this invention, a growing method of p type II-VI group compound semiconductor crystals including a process of laminating by turns a ZnO layer by which impurity doping of the request concentration is not carried out, and a two or more layers ZnTe layer by which N which is a p type impurity was doped more than request concentration is provided on a substrate.

[0016]

[Embodiment of the Invention]With reference to drawings, an embodiment of the invention is described below.

[0017]From drawing 1 to drawing 3 is referred to, and the growing method of II-VI group compound semiconductor crystals by a first embodiment of this invention is explained.

[0018]The crystal growth device (henceforth "an MBE device") which used the molecular beam epitaxy (MBE) method is shown in drawing 1 as an example of the growth device of II-VI group compound semiconductor crystals.

[0019]The MBE device A is provided with the following.

The chamber 1 to which crystal growth is performed.

Vacuum pump P which maintains the chamber 1 at an ultrahigh-vacuum state.

[0020]The chamber 1 is provided with the following.

The port 11 for Zn for evaporating Zn.

The port 21 for Te for evaporating Te.

The O radical port 31 for irradiating with O radical.

The N radical port 41 for irradiating with N radical.

[0021]The port 11 for Zn is provided with heating, and Knudsen cell (Knudsen cell: call it the following K cell.) 17 and shutter S1 to evaporate while it accommodates the Zn (purity 7N) raw material 15.

[0022]The port 21 for Te is provided with the K cell 27 and shutter S2 which carry out heating evaporation while it accommodates the Te (purity 6N) raw material 25.

[0023]The O radical port 31 introduces the oxygen gas which is material gas in an electrodeless discharge lamp, and spouts O radical generated using high frequency (13.56 MHz) in the MBE chamber 1. Shutter S3 is provided also to the beam of O radical.

[0024]The N radical port 41 introduces the nitrogen gas which is material gas in an electrodeless discharge lamp, and spouts N radical generated using high frequency (13.56 MHz) in the MBE chamber 1. Shutter S4 is provided also to the beam of N radical.

[0025]In the chamber 1, the substrate holder 3 holding the substrate S used as the ground of crystal growth and the heater 3a for heating the substrate holder 3 are formed. It is measurable by the thermo couple 5 in the temperature of the substrate S. The position of the substrate holder 3 is movable by the manipulator 7 which used bellows.

[0026]The chamber 1 contains the RHEED cancer 51 established in order to monitor the grown-up crystal layer, and the RHEED screen 55. It can grow up using the RHEED cancer 51 and the RHEED screen 55, monitoring the situation (an amount of growth, the quality of the grown-up crystal layer) of the crystal growth within the MBE device A.

[0027]The temperature of crystal growth, the thickness of a crystal growth film, the degree of vacuum in a chamber, etc. are suitably controlled by the control device C.

[0028]Below, the process of growing up p type ZnO on a ZnO board is explained in detail.

[0029]All crystal growth is performed by an MBE technique.

[0030]The beam amount of Zn is 1.5×10^{-7} Torr, and the beam amount of Te is 4.5×10^{-7} Torr.

[0031]RF plasma source of O is used as a supply source of an oxygen beam. Pure oxygen (purity 6N) gas is introduced into the O radical port 31, and it becomes radical using a high frequency oscillation source.

[0032]RF plasma source of N is used as a supply source of a nitrogen beam. Pure nitrogen (purity 6N) gas is introduced into the N radical port 41, and it becomes radical using a high frequency oscillation source.

[0033]Oxygen (flow 2ccm) is $[8 \times 10^{-5}$ Torr and nitrogen (flow 0.03ccm) of the pressure in the port 31 and 41 of oxygen which is gas sauce, and nitrogen $]2 \times 10^{-6}$ Torr(s) respectively. Growing temperature is 600 °C.

[0034]Here, the value of the above-mentioned pressure shows the indicated value of the nude ion gage attached to the substrate holder position (growth position).

[0035]Although the unit of ccm was used as a flow of the above-mentioned gas sauce, this shows the flow in 25 °C and 1 atmosphere as everyone knows.

[0036]The sectional view of the p type ZnO crystal which grows by this embodiment is shown in drawing 2. On the ZnO board 100, the superlattice layers 105 of a undoped ZnO layer and the ZnTe layer of N dope are grown up.

[0037]the superlattice layers 105 -- ZnO layers 101a and 101b and ... 101z, and the ZnTe layers 103a and 103b and ... it is formed by crosswise lamination with 103z. ZnO layers 101a and 101b and ... each of 101Z is ten molecular layers, for example -- the ZnTe layers 103a and 103b and ... each of 103z is one molecular layer, for example. A ZnO buffer layer may be first formed on the ZnO board 100, and the superlattice layers 105 may be grown up on it. The total thickness of the superlattice layers 105 is about 100 nm, for example.

[0038]Drawing 3 shows two kinds of growing processes ((a) and (b)) for growing up the ZnO crystal shown in drawing 2 by the opening-and-closing sequence of shutter S1 to S4.

[0039]Drawing 3 (a) shows the 1st growing process of two kinds of inside. To time t1, shutter S1 of Zn and shutter S3 of O are opened. Elemental Zn and O element come flying on the substrate 100 surface, and a ZnO crystal layer grows. A ZnO crystal grows per molecular layer by controlling growing parameters, such as Zn amount of supply and O amount of supply.

[0040]One molecular layer means the crystal unit which comprises one atomic layer of Zn, and one atomic layer of O on these specifications. Shutter S1 and S3 are opened until the crystal of ten molecular layers grows.

[0041]Shutter S3 of O is closed in time t2, and only Zn is supplied before time t3. The end face of Zn is formed in the undoped ZnO layer 101a outermost surface as a result of Zn supply. Since it is desorbed from superfluous Zn, all the shutters are closed from t3 before t4. In time t4, shutter S2 of Te and shutter S4 of N are made open, and Te and N are supplied on the end face of Zn. When Zn end face, Te, and N join together, one molecular layer of ZnTe layers by which N was doped grow.

[0042]in addition -- the RHEED pattern of a ZnTe layer is (2x1) in time t4 -- Te -- a rich state is shown.

[0043]All the shutters are closed from t5 before t6, it ****s and an excessive atom is exhausted. Then, shutter S1 of Zn is opened again and the end face of ZnTe is corrected. The surface which is Te Rich is changed into Zn Rich's surface. This makes surface morphology and a polar improvement.

[0044]Next, shutter S3 of O is made open (t7) and ZnO is grown up again. This state is equivalent to the state of time t1. The above process is repeated 30 times.

[0045]By passing through the above process, the p type ZnO crystal shown in drawing 2 can be grown up.

[0046]The second growing process is shown in drawing 3 (b). The outline of a growing process is shown below.

[0047]Shutter S1 of Zn is opened and it changes into the state where elemental Zn were continuously supplied on the substrate. Shutter S3 of O is opened by time t2, O element is supplied and request concentration grows the ZnO element by which impurity doping is not carried out.

[0048]Subsequently, after closing shutter S3 of O by time t3 and suspending supply of O element, shutter S2 of Te and shutter S4 of N are opened by time t4, and the ZnTe layer which supplies Te element and N element and by which N was doped is grown up.

[0049]Shutter S3 and S4 are closed from time t5 before t6, and the end face of ZnTe is corrected.

[0050]Next, shutter S3 of O is made open (t7) and ZnO is grown up again. This state is equivalent to the state of time t1. The above process is repeated 30 times.

[0051]As well as the above-mentioned process in forming the ZnO buffer layer 101, after supplying Zn and O on the substrate 100 beforehand and growing up the ZnO layer of desired thickness, the above-mentioned process is performed.

[0052]After passing through either of the above two processes, ZnTe is laminated for ZnO at a rate of one molecular layer to ten molecular layers. The band gap of the laminated superlattice layers is almost the same as ZnO. ZnTe shows p type conductivity

with doping N as an impurity. The impurity diffusion of N to a ZnO layer and movement of a hole arise from the ZnTe layer of N dope over ZnO layer 10 molecular layer.

[0053] Thus, grown-up ZnO/ZnTe superlattice layers show the character as a p type conductive layer as a whole.

[0054] The thickness of ZnTe was limited to one molecular layer. It is the thickness below critical thickness and distortion generated in a growth phase can be suppressed small. Surface morphology of a growth phase can be made good.

[0055] If the flow of N to ZnTe is set to 0.05 or less ccm on the above-mentioned growing condition, the doping quantity of N to the inside of ZnTe will be stopped below at $1 \times 10^{20} \text{ cm}^{-3}$.

[0056] Preferably, N concentration doped by ZnO by diffusion etc. is stopped lower than the doping concentration of N doped by ZnTe.

[0057] The section structure of the p-type semiconductor using the ZnO/ZnTe superlattice by a second embodiment of this invention is shown in drawing 4.

[0058] On the sapphire substrate 201, from the thickness 30, while being 100 nm, 50 nm grows ZnO layer 211 in the range of 300 to 500 **, for example, 400 ** low temperature. This ZnO layer 211 by which low-temperature growth was carried out is a ** amorphous state at the beginning. Then, a substrate is heated gradually. Crystallization advances with heating and a low-temperature growth ZnO layer changes to an epitaxial ZnO layer.

[0059] Subsequently, 100 nm grows with the growing method explained in a first embodiment, and the same growing method by making the superlattice layers 225 of ZnO and ZnTe (N) into total thickness.

[0060] Passing low-temperature growth ZnO layer 211 on the sapphire substrate 201 in the crystal structure shown in drawing 4 -- ZnO layers 201a and 201b and ... 201z, and the ZnTe (N) layers 203a and 203b and ... the superlattice layers 225 formed by crosswise lamination with 203y are grown up.

[0061] Since low-temperature growth ZnO layer 211 intervenes between the sapphire substrate 201 and the superlattice layers 225, the distorted influence resulting from the difference of the grating constant between the sapphire substrate 201 and the superlattice layers 225 is eased. Surface morphology becomes good.

[0062] According to the above-mentioned II-VI group compound growing method, crystallinity is good and the small p type ZnO crystal of electric resistance can be grown up.

[0063] Drawing 5 is a sectional view showing the structure of LED (LightEmittingDiode) containing p-n junction DAODO using ZnO of Ga dope as an n-type semiconductor using the superlattice which consists of ZnTe of the ZnO/N dope by a second embodiment of the above as a p-type semiconductor.

[0064] LED is provided with the following as shown in drawing 5. Silicon on sapphire 301.

The non-doped ZnO buffer layer 305 with a thickness of 100 nm by which low-temperature growth was carried out on it.

It grows up on it and is 100-nm-thick n type (Ga dope: $1 \times 10^{18} \text{ cm}^{-3}$) ZnO layer 311. Superlattice layers 315 (about 100 nm as total thickness) by which ZnO of 30 layers formed on it and ZnTe (N) were laminated by turns.

[0065] It is in contact with n type ZnO layer 311 with the 1st electrode 321.

[0066]In order to form a n type ZnO layer, other three group elements, such as aluminum, may be doped instead of Ga.

[0067]The superlattice layers 315 are processed into island shape. The lateral part is covered with the insulator layer 318 in which the superlattice layers 315 processed into island shape consist of SiN(s), for example. The opening of an approximate circle form is formed in the upper surface of the superlattice layers 315 among the insulator layers 318, for example. Coating protection of the side is carried out with the insulator layer 318 at least among the superlattice layers 315 processed into island shape.

[0068]For example, it has an opening, the 2nd electrode 325 of ring shape is formed in the periphery of the superlattice layers 315. As for the 2nd electrode of ring shape, the undersurface by the side of the inner circumference contacts the periphery of the upper surface of the superlattice layers 315. The peripheral part has structure which ran aground on the insulator layer 318 among the 2nd electrode.

[0069]In the above-mentioned structure, if the voltage of plus is impressed to the 2nd electrode to the 1st electrode 321, forward current will flow into p-n junction. The minority carrier (electron) poured in into the p type superlattice layers 315 and the majority carrier (electron hole) in the p type superlattice layers 315 carry out radiation recombination. The light which has energy almost equal to the energy gap of a forbidden band in the case of the recombination of an electron and an electron hole emits from said opening. That is, electric energy is transformed into luminous energy.

[0070]By the above-mentioned operation, light with a wavelength of about 370 nm is emitted from the opening of LED.

[0071]In this embodiment, although LED was explained as an example of the semiconductor device using the p-n junction of ZnO, the p type superlattice layers 315 with ZnTe (N), and n type ZnO, it is also possible to form a laser element combining the p type superlattice layers 315 and n type ZnO. In addition, it cannot be overemphasized that it is also possible to manufacture the semiconductor device which combined electron devices, such as FET and a bipolar transistor, other optical devices, and these combining the p type superlattice layers 315.

[0072]As mentioned above, although this invention was explained along with the embodiment, this invention is not restricted to these. For example, the thickness of the composition thin layer of superlattice layers can be arbitrarily changed in the range with which it is satisfied of the desired characteristic. A gas supply sequence is not restricted to an above-mentioned thing, either. Various growing conditions and other process parameters can also be chosen. In addition, it is obvious ***** in a person skilled in the art for various change, improvement, combination, etc. to be possible.

[0073]

[Effect of the Invention]Crystallinity is good and small p type ZnO of electric resistance can be grown up.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view showing the outline of the MBE device used for the crystal growth method by a first embodiment of this invention.

[Drawing 2] The ZnTe superstructure of the ZnO/N dope grown-up with the crystal growth method by a first embodiment of this invention is shown.

[Drawing 3] (a) And (b) is a timing chart which shows the shutter control sequence of the crystal growth method by a first embodiment of this invention.

[Drawing 4] It is a sectional view showing the structure of the ZnTe superlattice of a ZnO/N dope where it grew up with the crystal growth method by a second embodiment of this invention.

[Drawing 5] It is a sectional view showing the structure of the LED device containing p-n junction DAODO using the ZnTe superlattice of the ZnO/N dope grown-up with the crystal growth method by a second embodiment of this invention as a p-type semiconductor.

[Description of Notations]

A MBE device

P Vacuum pump

S Substrate

S1 - S4 shutter

1 Chamber

3 Substrate holder

3a Heater

5 Thermo couple

7 Manipulator

11 The port for Zn

15 Zn raw material

17 Knudsen cell

21 The port for Te

25 Te raw material

31 O radical port

41 N radical port

100 ZnO board

101a - a 101z ZnO layer

103a - a 103y ZnTe layer

105 Superlattice layers

201 Sapphire layer

211 Low-temperature growth ZnO layer

201a - a 201z ZnO layer

203a - a 203y ZnTe layer

225 Superlattice layers

301 Sapphire layer

305 Low-temperature growth ZnO layer

311 N type ZnO layer

315 Superlattice layers

318 Insulator layer
321 The 1st electrode
325 The 2nd electrode

[Translation done.]